Facultad de UNER Ingeniería	**Área de Posgrado** **Especialización en Sistemas Embebidos**

Carrera: Especialización en Sistemas Embebidos

Curso de Posgrado: Elementos de Lógica Configurable y Descripción de Hardware

Carga Horaria [1]**: 45**

Docente/s a cargo:

Mgt. Lucio Martínez Garbino (UTN - CNEA)

Semestre: 1º **Año:** 2019

Curso: teórico-práctico Carácter: obligatorio

1:
Carga horaria: la cantidad de horas reloj.
2:
Curso teórico: curso donde se desarrolla en forma expositiva una temática propia de la disciplina
Curso teórico-práctico: curso que articula la modalidad del curso teórico con una actividad de la práctica con relación a la temática de estudio. Lo teórico y lo práctico se dan simultáneamente en forma interrelacionada.
3:
Carácter: si son obligatorios u optativos.

Programa Analítico: de foja: a foja:

Bibliografía de foja: a foja:

Programa Analítico

Contenidos del Curso:

Arquitecturas de Dispositivos Lógicos Programables CPLDs (Complex Programmable Logic Devices) y FPGAs (Field Programmable Gate Arrays).
Fundamentos de lenguajes de descripción de hardware (HDL - Hardware Description Languaje).
VHDL para síntesis. Descripción de lógica combinacional y lógica secuencial sincrónica
VHDL para simulación. Bancos de prueba.Metodologías de Simulación.
Introducción a IP cores y soft-processors.
Introducción a co-diseño Hardware-Software.

Estructura del Curso:

Clases Teóricas

Teoría 1: Arquitectura de CPLD y FPGA. Evolución histórica.

Teoría 2: Descripción de circuitos combinacionales.

Teoría 3: Descripción de circuitos secuenciales.

Teoría 4: Simulación y bancos de prueba.

Teoría 5: Circuitos aritméticos. Aritmética en punto fijo.

Teoría 6: Maquinas de estado finitas y camino de datos.

Teoría 7: Introducción al uso de primitivas, IP-cores y constraints.

Teoría 8: Introducción a Soft-Cores,Hard-Cores yCo-Diseño hardware-Software.

Prácticas propuestas:

Práctica 1: Manejo de la herramienta de diseño VIVADO.
Práctica 2:Diseño y síntesis de circuitos combinacionales básicos
Práctica 3: Simulación mediante bancos de prueba básicos
Práctica 4: Instanciación de componentes ,diseños Parametrizables: Generics, Pakage, síntesis condicional
Práctica 5: Circuitos Aritméticos básicos: librería NUMERIC_STD
Práctica 6: Aritmética en punto fijo. Uso de fixed_pkg
Práctica 7: Diseño, síntesis y simulación de circuitos secuenciales sincrónicos
Práctica 8: Maquina de estado y camino de datos
Práctica 9: Implementación de protocolos de comunicación básicos (UART,SPI)
Práctica 10: Inferencia y manejo de Memorias RAM, ROM.
Práctica11: Simulación Post-Place-and-Route
Práctica 12: Simulación utilizando archivos de entrada-salida y validación mediante aserciones
Práctica 13: Instanciación de primitivas, IP-cores. Caso de estudio: Manejadores de reloj y estándares de entrada-salida
Práctica 14: Uso de constraints, caso de estudio: Metaestabilidad y sincronizadores para entradas asincrónicas
Práctica 15: Uso básico de un soft-core
Práctica 16: Uso básico de un hard-core
Práctica 17: Interfaz AXI4-Lite, Interfaz de un componente mediante AXI4-Lite, Diseño e implementación del controlador de software.
Práctica 18: Proyecto integrador.

BIBLIOGRAFÍA

Bibliografía:

- "RTL Hardware Design Using VHDL: Coding for Efficiency, Portability, and Scalability", Pong P. Chu, Wiley-IEEE Press,ISBN-13: 978-0471720928, 2006.
- "Circuit Design and Simulation with VHDL", V. A. Pedroni, The MIT Press, ISBN-13: 978-0262014335, 2010.
- "Finite State Machines in Hardware: Theory and Design (with VHDL and System Verilog)",Volnei A. Pedroni, ASIN: B00HRYBIQW, The MIT Press, 2013.
- "The Designer's Guide to VHDL", P. Ashenden, Morgan Kaufman, ISBN-13: 978-01208878592008, 2008.
- "VHDL 2008: Just the New Stuff", P. J. Ashenden, J. Lewis, Morgan Kaufmann, ISBN-13: 000-0123742498, 2007.
- "Application-Specific Integrated Circuits", Michael J. S. Smith, Addison Wesley, ISBN-13: 978-0201500226, 1997.
- "FPGA Prototyping by VHDL Examples: Xilinx Spartan-3", Pong P. Chu, Wiley-Interscience, ISBN-13: 978-0470185315, 2007.
- "VHDL Analysis and Modeling of Digital Systems", ZainalabedinNavabi. Mc Graw-Hill,ISBN-13: 978-0071127325, 1993.
- "Digital Signal Processing with Field Programmable Gate Arrays", U. Meyer-Baese, Springer, ISBN-13: 978-3642453083, 2014.
- "Fundamentals of Digital Logic with VHDL Design", S. Brown, Z. Vranesic, McGraw-Hill, ISBN-13: 978-0077221430, 2008.
- "Digital Design: Principles and Practices", J. F. Wakerly, Prentice-Hall, ISBN-13: 978-0131863897, 2005.
- "Designing with Xilinx FPGAs: Using Vivado", Springer, ISBN-13: 978-3319424378
- "The Zynq Book: Embedded Processing with the Arm Cortex-A9 on the Xilinx Zynq-7000 All Programmable Soc", de Louise H. Crockett, Ross a. Elliot, Martin a. Enderwitz, Strathclyde Academic Media. ISBN-13: 978-0992978709
- "The Zynq Book Tutorials for Zybo and ZedBoard", de Louise H. Crockett, Ross a. Elliot, Martin a. Enderwitz, Strathclyde Academic Media. ISBN-13: 978-0992978730

PLANIFICACIÓN DEL CURSO

Objetivos Generales:

Al finalizar el curso, el estudiante podrá comprender las técnicas de diseño, descripción, síntesis y simulación y verificación de sistemas digitales mediante el uso de un lenguaje de descripción de hardware y su implementación en una FPGA.

Objetivos Particulares:

Aprender a descripción sistemas digitales mediante el uso de lenguaje de descripción de hardware (Hardware Language Description), particularmente VHDL.
Conocer las diferencias tecnológicas ofrecidas en el mercado de dispositivos lógicos programables.
Conocer el campo de aplicación de las FPGAs
Manejar técnicas simulación y verificación.
Comprender y solucionar de problemas típicos de implementación de sistemas digitales en FPGAs.

Metodología de Trabajo:

Clases teóricas y clases prácticas en modalidad hands-on, utilizando kits de desarrollo con FPGA Artix-7 XC7A35T (ArtyBoard) ySoC XC7Z020 (ZedBoard)
Todas las clases contaran de una parte teórica y otra parte práctica. Desde el inicio se incentivara el uso de simulación y verificación de todos los diseños a realizarse durante el curso. Los distintos ejemplos y ejercicios formaran un conjunto de componentes a ser reutilizados durante todo el curso y fundamentalmente en el proyecto integrador.
Se buscara que el alumno aprenda a dividir los diseños en subsistemas pequeños, haciendo validaciones parciales antes de la integración.
Para todos los diseños del curso se buscara que el alumno analice los reportes de síntesis, analice el uso de recursos utilizados y performance delos sistemas obtenidos.
Los ejercicio propuestos serán dados a los alumnos en forma de especificaciones debidamente documentadas a fin de tener pautas claras para el desarrollo y su respectiva validación.
En algunos ejercicios se dividirá a los alumnos en dos grupos: Diseñadores y verificadores. Haciendo que un grupo verifique los implementado por el otro.
El proyecto integrador será un diseño de mediana complejidad el cual puede ser propuesto por el alumno y/o el docente.

Equipo docente:

Mg. Lucio José Martínez Garbino

Mgt. Bioing. Eduardo Filomena Mgt. Bioing. Iván Rodolfo Peralta
Cronograma del Curso: ***ENCUENTRO 1*** **Viernes 15/2 de 9:00 a 13:00 hs.** Presentación del curso → E Filomena Teoría 1 → L Martínez Garbino Práctica 1 → L Martínez Garbino – I Peralta – E Filomena **Viernes 15/2 de 14:00 a 18:00 hs.** Teoría 2 → L Martínez Garbino Práctica 2 → L Martínez Garbino – I Peralta – E Filomena **Sábado 16/2 de 9:00 a 12:00 hs.** Teoría 3 → L Martínez Garbino ***ENCUENTRO 2*** **Viernes 1/3 de 9:00 a 13:00 hs.** Teoría 4 → L Martínez Garbino Práctica 3 → L Martínez Garbino – I Peralta – E Filomena Práctica 4 → L Martínez Garbino – I Peralta – E Filomena **Viernes 1/3 de 14:00 a 18:00 hs.** Teoría 5 → L Martínez Garbino Práctica 5 → L Martínez Garbino – I Peralta – E Filomena **Sábado 2/3 de 9:00 a 12:00 hs.** Práctica 6 → L Martínez Garbino – I Peralta – E Filomena Práctica 7 → L Martínez Garbino – I Peralta – E Filomena ***ENCUENTRO 3*** **Viernes 15/3 de 9:00 a 13:00 hs.** Teoría 6 → L Martínez Garbino Práctica 8 → L Martínez Garbino – I Peralta – E Filomena Práctica 9 → L Martínez Garbino – I Peralta – E Filomena **Viernes 15/3 de 14:00 a 18:00 hs.** Práctica 10 → L Martínez Garbino – I Peralta – E Filomena Práctica 11 → L Martínez Garbino – I Peralta – E Filomena Práctica 12 → L Martínez Garbino – I Peralta – E Filomena **Sábado 16/3 de 9:00 a 12:00 hs.** Teoría 7 → L Martínez Garbino Práctica 13 → L Martínez Garbino – I Peralta – E Filomena ***ENCUENTRO 4*** **Viernes 29/3 de 9:00 a 13:00 hs.** Práctica 14 → L Martínez Garbino – I Peralta – E Filomena Teoría 8 → L Martínez Garbino Práctica 15 → L Martínez Garbino – I Peralta – E Filomena **Viernes 29/3 de 14:00 a 18:00 hs.**

Práctica 16 → L Martínez Garbino – I Peralta – E Filomena Práctica 17 → L Martínez Garbino – I Peralta – E Filomena **Sábado 30/3 de 9:00 a 12:00 hs.** Práctica 18 → L Martínez Garbino – I Peralta – E Filomena
Condiciones de Regularidad y Promoción: El curso se aprobará con la presentación y aprobación de todos los trabajos de laboratorio propuestos funcionando correctamente. Los alumnos deberán desarrollar un proyecto integrador en base a especificaciones y elaborar un informe de resultados el cual deberá involucrar los aspectos teóricos y prácticos del curso
Infraestructura necesaria: Aula con la capacidad y comodidad adecuada: 20 computadoras con conexión a Internet con el software VIVADO instalado Kit de Evaluación de FPGA Arty Artix-7 35T (siete unidades), Kits ZedBoard (2 unidades) incluyendo cables de conexión a PC. Pizarrón. Cañón para proyección. 2 Osciloscopios digitales y 2 generadores de señal de audio.